

? b 351

[File 351] Derwent WPI 1963-2005/UD,UM &UP=200566

(c) 2005 Thomson Derwent. All rights reserved.

*File 351: For more current information, include File 331 in your search. Enter HELP NEWS 331 for details.

Derwent WPI

(c) 2005 Thomson Derwent. All rights reserved.

1/5/1

014505634 **Image available**
WPI Acc No: 2002-326337/200236

Electrostatic protection device

Patent Assignee: HYNIX SEMICONDUCTOR INC (HYNI-N)

Inventor: BAE S Y; LEE H U; LEE H W

Number of Countries: 001 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
KR 2001061079	A	20010707	KR 9963563	A	19991228	200236	B
KR 425829	B	20040403	KR 9963563	A	19991228	200451	

Priority Applications (No Type Date): KR 9963563 A 19991228

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
KR 2001061079	A		1	H01L-027/04	
KR 425829	B			H01L-027/04	Previous Publ. patent KR 2001061079

Abstract (Basic): KR 2001061079 A

NOVELTY - An electrostatic protection device is provided to improve the reliability of a device by increasing tolerance to a CDM (Charged Device Model) and an ESD (ElectroStatic Discharge).

DETAILED DESCRIPTION - An input buffer(50) is composed by forming a gate electrode and a source/drain region(55) including an n+ diffusion layer on an upper portion of a p-well(51). A diode is comprised by forming the n+ diffusion layer(55) connected with the gate electrode of the input buffer(50) and a p+ diffusion layer(54) connected with a grounding end(Vss) at both sides of the input buffer(50). An n-well guard ring(52) is composed by forming a p+ diffusion layer(54) connected with the n+ diffusion layer(53) of the diode and the n+ diffusion layer(53) connected with a power end(Vcc).

pp; 1 DwgNo 1/10

Title Terms: ELECTROSTATIC; PROTECT; DEVICE

Derwent Class: U11; U13

International Patent Class (Main): H01L-027/04

File Segment: EPI

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 27/04

(11) 공개번호 특2001-0061079
(43) 공개일자 2001년07월07일

(21) 출원번호	10-1999-0063563
(22) 출원일자	1999년12월28일
(71) 출원인	주식회사 하이닉스반도체 박종섭 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	배세열 경기도이천시대월면사동리현대전자사원아파트106동1404호 이현우 경기도이천시고당동산11번지고당기숙사102동1106호
(74) 대리인	이후동, 이정훈

심사청구 : 없음

(54) 정전기방전 보호소자

요약

본 발명은 정전기방전(electrostatic discharge, 이하 ESD 라 함) 보호소자에 관한 것으로, 특히 고정적 회로에서 ESD 테스트모드(test mode) 중의 하나인 COM(charged device model)을 고려하여 pn다이오드가 추가된 입력버퍼(input buffer)를 형성함으로써 ESD에 대한 내성을 증가시킬 수 있으며, 레이아웃을 용이하게 실시할 수 있고, 그에 따른 소자의 공정수를 및 신뢰성을 향상시키는 기술이다.

도면도

도1

도2

도면의 간단한 설명

- 도 1 은 본 발명에 따른 정전기 보호소자의 단면을 개략적으로 도시한 단면도.
도 2 는 본 발명의 제1실시예에 따른 정전기 보호회로도.
도 3 은 본 발명의 제2실시예에 따른 정전기 보호회로도.
도 4 는 본 발명의 제3실시예에 따른 정전기 보호회로도.

<도면의 주요부분에 대한 부호 설명>

- | | |
|-------------|-----------------|
| 10 : 입력패드 | 20 : 1차 ESD보호소자 |
| 30, 60 : 저항 | 40 : 2차 ESD보호소자 |
| 50 : 입력버퍼 | 51 : p웰 |
| 52 : n웰 가드링 | 53, 55 : n+확산층 |
| 54 : p+확산층 | 60 : pn다이오드 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 정전기방전(electrostatic discharge, 이하 ESD 라함) 보호소자에 관한 것으로서, 특히 ESD 테스트모드인 COM을 고려하여 입력버퍼에 pn다이오드를 포함시키거나, 상기와 같은 구조에 pn다이오드 또는 저항을 추가하여 COM 및 ESD에 대한 내성을 향상시켜 반도체소자의 공정수를 및 신뢰성을 향상시키는 ESD 보호소자에 관한 것이다.

일반적으로 반도체소자는 웨이퍼 상태에서 다수개가 함께 제작된 후 절별로 절단되어 패키징되어 제조되고, 웨이퍼 상태에서나 패키지 상태에서 제조 공정중이나 운반 중에 장비나 인체에 의해 발생하는 ESD가

인가되면 순간접압 4000V 이상의 고전압이 인가되어 소자를 파괴하게 된다.

반도체 소자가 고집적화되어 갈수록 상기와 같은 ESD 에 대한 소자의 파괴방지를 위한 대책방법이 설계상으로 많은 제약을 받게 된다.

이러한 내부회로 손상은 정전기 방전때 입력단자를 통해 주입된 전하가 내부회로를 거쳐 최종적으로 다른 단자로 빠져나가면서 일으키는 주출(Joule)열로 인해 취약한 곳에서 정전 스파이킹(junction spiking), 산화막 균열(rupture) 현상 등을 일으키기 때문이다.

그래서 이를 해결하기 위해서는 정전기방전때 주입된 전하가 내부회로를 통하여 빠져나가기 전에 입력 단에 주입된 전하를 곧바로 전원공급 단자 쪽으로 방전시킬 수 있는 정전기방전 보호회로를 삽입하여야만 정전기 방전으로 인한 반도체소자의 손상을 방지할 수 있다.

그러나 출력 단자 같은 경우는 특별하게 정전기방전 보호회로를 사용하지 않고, 풀 업(pull up)/풀 다운(pull down) 트랜지스터 자체를 정전기방전 보호용 트랜지스터로 같이 사용하고 있다.

그래서 풀 업/풀 다운 트랜지스터를 정전기 방전에 대비해 강하게 설계하여야 한다. 이와 같이 반도체 소자의 출력단자에 정전기가 방전되었을 때 트랜지스터 자체가 튼튼하게 설계되어 있지 않으면 회로자체가 파괴되어 이로 인해 누설전류(leakage current)가 발생됨으로써 반도체 소자의 신뢰성에 심각한 영향을 줄 수 있기 때문에 디자이너(designer)들은 반도체의 임의의 핀이 정전기에 노출되었을 때 내부회로에 손상 이 가지 않도록 핀에 V_{ss} 또는 V_{cc} 파워 핀으로 전하(charge)를 바로 방전시킬 수 있는 회로를 삽입하고, 그것 또한 ESD 에 강하게 설계하게 된다.

기존의 인체모델(human body model, 이하 HBM이라 함)과 기계모델(machine model, 이하 MM이라 함)에서는 고전압 제너레이터(high voltage generator)에서 발생된 정전기 전하를 입력 핀 또는 출력 핀으로 주입(injection)시켜 곧바로 파워 핀(V_{cc} , V_{ss})으로 방전시켜주는 메커니즘이다. 따라서, 정전기 전하의 주입과 방전이 동시에 진행되므로 입력 핀 또는 출력 핀에서 파워 핀으로 빨리 빠져나갈수록 소자의 안정성이 향상된다.

현재 집적회로가 고속화됨에 따라 핀에서 요구되는 기생정전용량은 계속적인 제한이 되면서도 소자의 신뢰성 측면인 ESD의 요구는 더 엄격하게 적용이 되어 가고 있다. 이로 인하여 기생정전용량이 작아짐에 따라 ESD 능력을 더 향상시키기 위해서는 매우 최적화된 ESD회로를 요구하게 되었다.

따라서, HBM, MM에 미어서 COM에 대한 요구가 증가하고 있고, 집적회로의 신뢰성을 위하여 COM에 대한 능력을 올려야 할 필요가 있게 되었으나, COM의 경우에 진동(oscillation)되는 주파수(frequency)가 높아서 전류 및 전압의 오를시간(rise-time)이 상당히 짧은 편이다. 이로 인하여 MM, HBM의 ESD를 위하여 필드 바이폴라 트랜지스터(field bipolar transistor) 등을 사용하여 ESD 보호능력을 가지게 하지만 COM의 오를시간이 짧아 애벌런치현상(avalanche breakdown)이 일어나기 전에 전류가 흐르기 때문에 입력버퍼(input buffer)쪽의 게이트 산화막에 손상을 받게 된다. 그래서 기존의 경우 COM를 위하여 입력버퍼쪽에 FPD(field plated diode)를 사용하지만 입력버퍼의 개수가 많은 경우 그 위치선정에 있어서 제한을 받게 되며, COM에 대한 고려를 미려하지 않은 경우 FPD의 입력버퍼쪽에 연결이 어렵게 되기 때문에 COM에 따른 최적화가 어렵게 된다. 또한 2차적인 ESD 보호소자인 FPD를 입력버퍼의 가까운 부분에 레이아웃을 하려고 하지만, 이를 효과적으로 구현하는데에 어려움이 있으며, 반도체소자가 고집적화되어 감에 따라 게이트 산화막의 두께가 계속적으로 얇아진다는 어려움이 있다.

본명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기 위하여, pn다이오드가 추가된 입력버퍼가 구비된 ESD 보호회로에 저항 또는 pn다이오드를 추가하여 반도체기판에 포지티브 치지가 있는 경우 순바이어스가 되어 방전되게 하고, 네가티브 치지가 있는 경우에는 또 다른 pn다이오드를 통해 방전하게 하여 정전기방전시 입력버퍼의 게이트절연막이 손상받는 것을 방지하고, COM에 대한 내성을 증가시키는 ESD 보호소자를 제공 하는데 그 목적이 있다.

본명의 구성 및 작용

이상의 목적을 달성하기 위하여 본 발명에 따른 ESD 보호소자는,

p형 상부에 게이트 전극과 n+ 확산층으로 형성된 소오스/드레인영역으로 구성되는 입력버퍼와,

상기 입력버퍼의 양측에 상기 입력버퍼의 게이트 전극에 연결되는 n+ 확산층 및 접지단에 연결되는 p+ 확산층으로 구성되는 다이오드와,

상기 다이오드의 n+확산층과 연결되는 p+확산층과 전원단에 연결되는 n+확산층으로 구성되는 n웰가드링이 구비되는 것을 제1특징으로 한다.

이상의 목적을 달성하기 위하여 본 발명에 따른 ESD 보호소자는,

입력패드와 전원단 및 접지단에 연결되어 있는 1차 ESD보호소자와,

상기 입력패드와 입력버퍼 사이에 연결되어 있는 저항과,

상기 저항과 접지단 사이에 연결되어 있는 2차 ESD보호소자가 구비되는 ESD보호소자에 있어서,

상기 입력버퍼에 상기 제2차 ESD보호소자가 추가로 구비되는 것을 제2특징으로 한다.

이하, 본 발명에 따른 ESD 보호소자에 관하여 첨부 도면을 참조하여 상세히 설명한다.

도 1은 본 발명에 따른 정전기 보호소자의 단면을 개략적으로 도시한 단면도로서, 입력패드(10)와 전원단 및 접지단에 연결되는 1차 ESD보호소자(20)와, 상기 입력패드(10)와 입력버퍼(50) 사이에 저항(30)이

구비되고, 상기 저항(30)과 연결되어 있는 입력버퍼(50)의 단면을 나타낸다.

상기 입력버퍼(50)는 p웰(51) 상부에 게이트 전극과 n+소오스/드레인(55)으로 형성되고, 상기 p웰(51)의 가장자리는 n웰 가드링(52)이 구비되어 있으며, 상기 n웰 가드링(52)에는 상기 입력버퍼(50)의 게이트 전극과 연결되는 p+확산층(54)과 전원단(Vcc)과 연결되는 n+확산층(53)이 구비되어 있다. 여기서, 상기 n웰 가드링(52) 내의 p+확산층(54)은 네가티브 전하에 대한 내성을 증가시키기 위한 것으로 생략될 수 있으며, 상기 n웰 가드링(52) 및 p+확산층(54)이 모두 생략될 수도 있다.

그리고, 상기 입력버퍼(50)의 양측에 pn다이오드(60)가 구비된다. 상기 pn다이오드(60)는 접지단(Vss)에 연결되는 p+확산층(54)과 입력버퍼(50)의 게이트 전극에 연결되는 n+확산층(55)으로 형성된다.

도 2는 본 발명의 제1실시예에 따른 정전기 보호회로도로서, 입력패드(10)와 접지단 또는 전원단에 연결되는 1차 ESD보호소자(20)와, 상기 입력패드(10)와 입력버퍼(50) 사이에 연결되는 저항(30)과, 도 1에 도시된 것과 같은 구조의 입력버퍼(50)가 구비되는 구조를 나타낸다.

도 3은 본 발명의 제2실시예에 따른 정전기 보호회로도로서, 도 2의 구조에서 저항(30)과 입력버퍼(50) 사이에 2차 ESD보호소자(40)인 FPD(field plated diode)가 구비되는 구조를 나타낸다.

도 4는 본 발명의 제3실시예에 따른 정전기 보호회로도로서, 도 3의 구조에서 2차 ESD보호소자(40)와 입력버퍼(50) 사이에 저항(60)이 추가된 구조를 나타낸다.

상기 저항(30, 60)들은 10 ~ 500Ω의 크기를 갖고며, 활성영역(active region)을 이용한 디퓨전(diffusion) 저항 또는 다결정실리콘(polysilicon)이나 실리사이드(silicide)를 이용한 저항이다.

상기와 같은 구조를 갖는 ESD 보호소자는 다음과 같은 동작을 한다.

집적적인 방법으로 충전(charge)시키는 경우 파워핀(power pin)을 통하여 충전되고, 만약 포지티브(positive) 전압을 충전한 다음 해당 핀을 통하여 방전(discharge)시키는 경우, p웰(51)에서 pn다이오드(60)를 구성하는 n+확산층(55)을 통한 전하의 흐름이 저항이 가장 작다. 이때, 게이트 산화막을 통해 전하가 흐르는 경우에는 저항이 커서 패스(path)가 형성되기 어렵다.

이러한 방법으로 입력버퍼(50)를 둘러싸고 있는 혹은 좌우에 있는 pn다이오드(60)를 통하여 CDM 방전 패스가 형성된다.

본 발명의 효과

이상에서 설명한 바와 같이 본 발명에 따른 ESD 보호소자는, 고집적회로에서 ESD 테스트모드 중의 하나인 CDM을 고려하여 pn다이오드가 추가된 입력버퍼를 형성함으로써 ESD에 대한 내성을 증가시킬 수 있으며, 레이아웃을 용이하게 실시할 수 있고, 그에 따른 소자의 공정수율 및 신뢰성을 향상시키는 이점이 있다.

(5) 청구의 범위

청구항 1

p웰 상부에 게이트 전극과 n+ 확산층으로 형성된 소오스/드레인영역으로 구성되는 입력버퍼와,

상기 입력버퍼의 양측에 상기 입력버퍼의 게이트 전극에 연결되는 n+ 확산층 및 접지단에 연결되는 p+ 확산층으로 구성되는 다이오드와,

상기 다이오드의 n+확산층과 연결되는 p+확산층과 전원단에 연결되는 n+확산층으로 구성되는 n웰가드링이 구비되는 것을 특징으로 하는 ESD 보호소자.

청구항 2

제 1 항에 있어서,

상기 n웰가드링을 생략하는 것을 특징으로 하는 ESD 보호소자.

청구항 3

제 1 항에 있어서,

상기 n웰가드링을 구성하는 p+확산층을 생략하는 것을 특징으로 하는 ESD 보호소자.

청구항 4

입력패드와 전원단 및 접지단에 연결되어 있는 1차 ESD보호소자와,

상기 입력패드와 입력버퍼 사이에 연결되어 있는 저항과,

상기 저항과 접지단 사이에 연결되어 있는 2차 ESD보호소자가 구비되는 ESD보호소자에 있어서,

상기 입력버퍼에 상기 제2차 ESD보호소자가 추가로 구비되는 것을 특징으로 하는 ESD 보호소자.

청구항 5

제 4 항에 있어서,

상기 2차 ESD보호소자는 pn 다이오드인 것을 특징으로 하는 ESD 보호소자.

청구항 6

제 4 항에 있어서,
상기 저항은 10 ~ 500 Ω 으로 하는 것을 특징으로 하는 ESD 보호소자.

청구항 7

제 6 항에 있어서,
상기 저항은 활성영역(active region)을 이용한 디퓨전(diffusion) 저항 또는 폴리실리콘이나 실리콘사이드를 이용한 저항인 것을 특징으로 하는 ESD 보호소자.

청구항 8

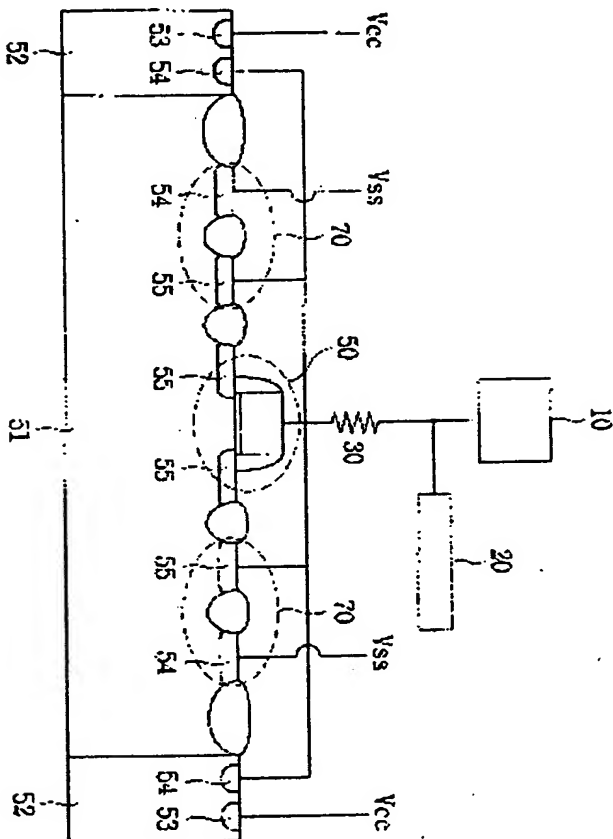
제 4 항에 있어서,
상기 2차 ESD보호소자를 생략하는 것을 특징으로 하는 ESD 보호소자.

청구항 9

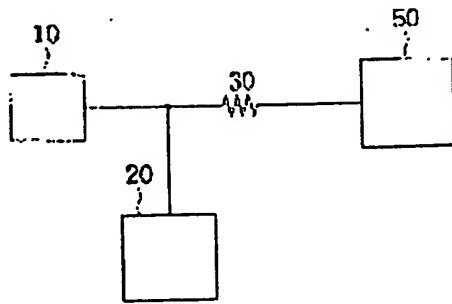
제 4 항에 있어서,
상기 2차 ESD보호소자와 입력버퍼 사이에 상기 저항과 같은 크기를 갖는 또 다른 저항을 추가하는 것을 특징으로 하는 ESD 보호소자.

도면

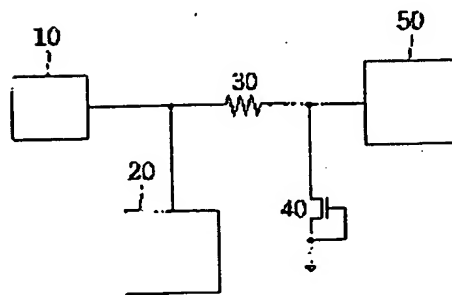
도면1



도 2



도 3



도 4

